

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273773

(43) 公開日 平成7年(1995)10月20日

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
H 0 4 Q 3/00				
	9466-5K		H 0 4 L 11/ 20	G
	9466-5K			H

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号	特願平7-64567	(71) 出願人	591271896 ロウク マナー リサーチ リミテッド イギリス国ハンブシャー、ロムジイ、ロウ ク マナー (番地なし)
(22) 出願日	平成7年(1995)3月23日	(71) 出願人	390039413 シーメンス アクチエンゲゼルシャフト SIEMENS AKTIENGESEL LSCHAFT ドイツ連邦共和国 ベルリン 及び ミュ ンヘン (番地なし)
(31) 優先権主張番号	9 4 0 5 7 8 8 . 2	(74) 代理人	弁理士 矢野 敏雄 (外1名)
(32) 優先日	1994年3月23日		
(33) 優先権主張国	イギリス (G B)		

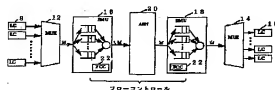
最終頁に続く

(54) 【発明の名称】 ATMキューイングおよびスケジューリング装置

(57) 【要約】

【目的】 ピークセルレートを制限するための装置を提供する。

【構成】 この装置は、ATMセルがその上で受け取られる入力線および、ATMセルがその上に伝送される出力線とに接続されたバッファストアを含んでいる。制御装置は、各セルごとにチャンネル識別子およびバス識別子を受け取り、それらから、バッファストアに加えられる、そしてカレンダが維持できるセルレートを制御するのに従い伝送のために特定のセルをスケジュールするのに用いられる、最大遅延値を表す第1信号を発生する。制御装置は、バッファ装置に加えられる、そして前記第1信号と関連して、カレンダがピークセルレートを制御するのに従い伝送のために特定のセルをスケジュールするのに用いられる、最小遅延値を表す第2信号を発生する。



1

【特許請求の範囲】

【請求項1】 ATMセルがその上で受け取られる入力線およびATMセルがその上で伝送される出力線とに接続されたバッファ装置と、各セルに関するチャンネル識別子およびバス識別子を受け取り、それらから、バッファ装置に加えられる、そして維持できるセルレートを制御するカレンダーに従って伝送のために特定のセルをスケジューリングするために用いられる、最大遅延値を表す第1信号を発生する制御装置と、を含むATMスイッチの出力側に接続された、ATMセルをキューイングおよびスケジューリングするための装置において、前記制御装置が、前記第1信号と同時に、バッファ装置に加えられる、そして伝送のために特定のセルをスケジューリングするために用いられる、最小遅延値を表す第2信号を発生することを特徴とする、ATMセルをキューイングおよびスケジューリングするための装置。

【請求項2】 最小遅延値が、ピークセルレートを制御するために別のカレンダーを制御するような、請求項第1項記載の装置。

【請求項3】 値 $T+D_{\text{min}}$ が、第2カレンダー上でセルをスケジューリングするのに用いられ、ここにおいて T =実際の時間であり、そして D_{min} が最小遅延値であるような、請求項第2項記載の装置。

【請求項4】 第2カレンダーが、各セルに関して、各時間スロットごとに増加される、リアルタイムリードポインを用いるような、請求項第3項記載の装置。

【請求項5】 各セルが前記バッファ装置内に一度だけ蓄積され、そしてピークセルレートカレンダーにおけるその時間スロットを識別するための第1ポイントと、そして維持できるセルレートカレンダーにおけるその時間スロットを識別するための第2ポイントを持つような、請求項第4項記載の装置。

【請求項6】 ルートを規定するチャンネル接続のグループが、ルートに関するピークセルレートを分割し、そしてルートとして前記ピークセルレートカレンダー上でスケジューリングされ、しかし維持できるセルレートカレンダー上で個別にスケジューリングされるような、請求項第5項記載の装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ATMスイッチにおけるATMセルをキューイング及びスケジューリングするための装置に関する。

【0002】

【従来の技術】 ATMネットワーク及びスイッチは、パースト的なトラフィックを含む混合のトラフィックをサポートしている。その特性上、パースト的なトラフィックは一部の時間には高いビットレートを要求し、そして残りの時間に関しては僅かなビットレートを要求するか、あるいは何のビットレートも要求しない。ネットワ

2

ークにおいて用いられるビットレートを効果的に利用するためすべての接続の総ピークビットレートが、ネットワークリンクのビットレートよりも大きくなるように、そのピークビットよりも低いビットレートを接続するよう割り当てることが必要である。

【0003】 この状態をサポートするために、ATMマルチプレクサは、セルがマルチプレクサに到達し、そしてそれを通して伝送されないときにセルをバッファするためにスイッチの入力において大きなバッファを必要とし、そしてまた、トラフィックが形成されるようスイッチの出力においてもバッファが存在し、これによってスイッチからの伝送の前にトラフィックのプロフィールが変更される。大きなバッファを持つこのようなスイッチは大バッファスイッチと呼ばれる。

【0004】 ATMネットワークにおいては、統計的なゲインが要求されるようなサービスカテゴリの品質において仮想チャンネル接続を意図した接続をセットアップすることを望むユーザは、少なくとも3つのトラフィックパラメータにおいてネットワークと交渉しなければならない。これらのパラメータは、ピークセルレート、維持できるセルレート及び最大バーストサイズ、の幾つかの要素を含んでいる。出力バッファはここから、セルを蓄積する必要があり、そのようにしてそれらが維持できるセルレートにおいて、しかしそれらのピークセルレートを超えることなく、伝送されることになる。この処理は、複数のATM仮想チャンネル接続に関して完了されなければならない。

【0005】 ドイツ特許出願第93120828.4号においては、出側シェーピングアルゴリズムが議論されている。

【0006】 出側ネットワークリンクに関する許容された接続用に維持できるセルレートの和が、ネットワークリンク上の統計的に多重化されたサービスに関して利用できるビットレートによって取り扱うことができるのであれば、前に述べた出願において開示された出側スケジューラ/シェーパは、制限されたバッファサイズを持つ統計的ゲインの高いレベルを提供することができる簡単なリソース割り当て処理を用いてリンク上の各接続に関するセルレートに等しい最小サービステートを保証することができる。

【0007】 図1を参照すると、どのようにしてATMセル2が入力線2上で装置に入るかを示しており、この線は、この出側待ち行列に関して予定された多重化されたすべてのセルを持つ装置の一部から来るものである。セルの仮想バス識別子/仮想チャンネル識別子VPI/VCIは、その仮想チャンネル接続に関する最小サービステートとして維持できるセルレートを保つために最大の許された遅延 D_{max} を得るために用いられる。値 D_{max} は次に、リーキバケットマネージャ6からセルバッファマネージャ4に供給される。セルバッファマネージャ4

3

はカレンダメカニズムを通して伝送に関してセルをスケジュールする。しかし、出力線は、ネットワーク出回リンク上に伝送される前に、他のセルと互いに多重化されたセルをカレンダから転送する。

【0008】用いられるカレンダメカニズムが図2に示されており、ここでは以下の省略が用いられている。FLTはフリーリストテイルであり、FLHはフリーリストヘッドであり、CELはカレンダセンターテイルであり、CEHはカレンダセンターヘッドであり、OLTは出力リストテイルであり、そしてOLHは出力リストヘッドである。セルバッファマネージャの構成コンポーネントは、セルメモリー、カレンダおよび一連のポインタである。セルがセルバッファマネージャに到達したとき、フリーセルロケーションがフリーセルリストのヘッドから取り出され、そしてセルはそのロケーションにコピーされる。次にこのセルは、時間 $T + D_{\max}$ (モジュール N_{cell})においてカレンダ上にスケジュールされ、ここで時間 T は現在時間であり、そして N_{cell} はカレンダのサイズである。もし別のセルが同じ時間スロットに関してスケジュールされれば、そのカレンダの時間スロット内の待ち行列の前に、これが加えられる。

【0009】2つの出力ポインタが存在しており、1つはリアルタイムポインタ T であり、そして他はリアルタイムポインタの前に移動することのできるリードポインタ R である。 R および T ポインタが同じ時間スロットをポイントしているときには、時間スロットに接続されているセルの完了リンクリストは出力待ち行列に転送されている。もし R ポインタが T ポインタの前に移動していれば、これがセルを中に含んでいる時間スロットを発見したときに、セルはそのときに出力待ち行列1に移動され、こうして出力バッファには1つのセルよりも多くは決して存在しないようにされる。この理由は、セルがポインタ T によって表される出力カレンダから伝送されなければならないときに、 R ポインタがその時間の前に移動するためである。セルが出力カレンダに到着し、これが時間 T について直ちにスケジュールされるよう要求するならば、このセルは直接的に出力待ち行列に転送されなければならない。そして遅延なく出力待ち行列から伝送される。この理由によって、ポインタ R が実際の時間ポインタ T の前にあるときには、出力待ち行列のその中に決して1セルよりも多くを持つことはない。しかし、この状態においては、ポインタ R は、ポインタ T の前のセルスロットへのその位置にとどまっている。

【0010】セルがカレンダに到着し、そしてポインタ T 及び R の間にスケジュールされるよう要求したならば、このセルはスケジュールされるが、しかしまたポインタ R はこの新しくスケジュールされたセルの時間スロット位置に戻される。これを処理した後、ポインタ R は空でない時間スロットに関して再びカレンダを調べ

4

る。この理由は、もしセル到着レートが伝送レートよりも大きければ、多くのセルがカレンダに到着し、そしてポインタ R および T の間でスケジュールを要求しているかもしれないからである。単純にそれらを出出力ポートに転送することは、即座の出発を持つセルよりも前に伝送された、より後の出発時間を持つセルを取り残すことになる。ポインタ R は、常に、ポインタ T に最も近い時間スロット、その中にセルを含む、にポイントされている。

【0011】ポインタ R がポインタ T の前にあるような状態においては、ポートの負荷が増加するならば、各時間スロットに結びつけられたリンクされたリストは長さにおいて増加し、そして実際に実際の時間ポインタ T はリードポインタ R を「キャッチアップ」する。

【0012】こうしてリードポインタが現在時間 T の前に来ることは可能であるが、決して後ろにはならない。このアルゴリズムはこうして、与えられた仮想チャネル接続に関する維持できるセルレートを保証するが、しかしピークセルレートには何の制約もない。

【0013】
【発明の目的】こうして、本発明の目的はピークセルレートを制限するための装置を提供することである。

【0014】

【発明の構成】本発明によれば、 A 、 T 、 M セルが受け取られる入力線および A 、 T 、 M セルが伝送される出力線とに接続されたバッファ装置と、カレンダが維持できるセルレートを制御する上でバッファ装置に加えられる、そして伝送のために特定のセルをスケジュールするのに用いられる最大遅延値を表す第1信号、そこからチャネル識別子およびバス識別子が発生される、を各セルごとに受け取るための制御装置と、を含む A 、 T 、 M スイッチの出力側に接続された、 A 、 T 、 M セルをキューイングおよびスケジュールする装置において、前記制御装置が、バッファ装置に加えられる最小遅延値を表す第2信号を発生し、そして前記第1信号と同時に伝送のために特定のセルをスケジュールするのに用いることを特徴とする装置が提供される。

【0015】この最小遅延値は、ピークセルレートを制御するためにさらに別のカレンダを制御するのに利用される。

【0016】

【実施例】本発明の実施例は、添付図面である図3から図7を参照しながら詳細に説明される。

【0017】図3を参照すると、入側にはラインカード8が示されており、その出力は A 、 T 、 M マルチプレクサ12の入力に接続されている。マルチプレクサ12の出力は統計的な多重化ユニット16の入力に接続されており、その出力は A 、 T 、 M 交換ネットワーク20に供給される。交換ネットワーク20の出力は、さらに別の統計的な多重化ユニット18の入力に接続されており、その出

5

力はATMマルチプレクサ14の入力に接続されている。ATMマルチプレクサ14の出力は、交換ネットワークの出側である多数のラインカード10の入力に接続されている。Mで示される種々のコンポーネント間のリンクは、多重化された内部リンクを表している。各統計的な多重化ユニットは、フローコントロール制御器22を持っている。例えばラインカード8、マルチプレクサ12および統計的な多重化ユニット16の組み合わせは、周辺スイッチ群を念でいる。実際にはATM交換ネットワークに接続された多数の周辺スイッチ群が存在する。各統計的な多重化ユニット16の内部には、ATM交換ネットワークに取り付けられた周辺スイッチ群の各々に関して1つの入力待ち行列が存在する。セルはどのような周辺スイッチ群の間でも独立的に送ることができる。そこにはセルレートを制御する制限要素が存在し、そしてそれらはATM交換ネットワークから周辺スイッチ群へ出力リンクビットレート、および周辺スイッチ群からATM交換ネットワークへ出力リンクビットレートである。

【0018】フローコントロール処理は、内部的にスイッチへ、そして周辺スイッチ群間の、両方のすべての接続に関して明確にそれらのビットレートの制限を管理し、そして、ATM交換ネットワークを通るビットレートをピーク確保に制限するよう動作する。

【0019】本発明は、一般的には統計的な多重化ユニット18内に設けられるものであり、そして以下にそれを説明する。

【0020】図4を参照すると、ピークセルレートを配慮するために、図1と同様の参照番号が付けられており、セルが伝送されることができると最も早い時間に相当する、 D_{max} （最大相互出発時間）のそれと類似の値がリーキバケットマネージャによって発生されなければならないことを示している。この値 D_{min} はセルが伝送されることができる前の最小遅延値または「セルスロットの数」として定義される。

【0021】このメカニズムに関する動作の全体的な原理は、セルが、そのピークセルレートから計算された時間間隔とその維持できるセルレートから計算された時間間隔との間にだけ送ることができると言うことである。低負荷条件の下では、セルはピークセルレートに近い状態で送られるが、一方高い負荷の条件ではこれは維持できるセルレートに依存する。以下に説明される方法は、同一のセルに関して2つのスケジューリングメカニズムを利用するものである。それらのメカニズムの1つは、最小時間、ピークセルレートに関してセルをスケジュールするものであり、他方は、最大時間、維持できるセルレートに関してセルをスケジュールするものである。ピークセルレートカレンダは、ピークセルレート基準が合致される前にはセルは送られないということを確実にするよう、リアルタイムで読まれる。しかし、維持できる

6

セルレートカレンダは、最大時間、維持できるセルレートの前に読まれることはあっても、その後読まれることはなく、こうして、サービズレートの許容＝維持できるセルレート、となる。（ピークセルレートおよび維持できるセルレートカレンダからの）両方のスケジュールされた事象が処理されたときに、実際のセルが送られることができる。

【0022】リーキバケットマネージャ6からの2つの値（ D_{max} および D_{min} ）が、2つの分離されたカレンダに従ってスケジュールするために、新しいセルバッファマネージャ4によって用いられる。維持できるセルレートカレンダと呼ばれる第1カレンダは、前に指摘したドイツ特許出願において説明されているものと全く同じである。第2のカレンダは、ピークセルレートカレンダと呼ばれる。図5を参照すると、維持できるセルレートカレンダとピークセルレートカレンダとの間の比較が示されている。

【0023】値 $T + D_{min}$ は、カレンダ上にセルをスケジュールするのに用いられ、そして実際の時間読み出しポインタRTRPは、読み出しポインタの代りに用いられる。ポインタRTRPは各時間スロットで増加するので、そのためその時間の前に行くことはない。ポインタRTRPはまた、図2に示された維持できるセルレートカレンダにおいて用いられるリアルタイムポインタに等しい。

【0024】図5および図6においては、以下の省略が用いられる。FLTはフリーリストテイルであり、FLHはフリーリストヘッドであり、CETはカレンダエントリーテイルであり、CEHはカレンダエントリーヘッドであり、RPはリードポインタであり、Tはリアルタイムポインタであり、POLHはピーク出力リストテイルであり、POLHはピーク出力リストヘッドであり、SOLHは維持できる出力リストテイルであり、SOLHは維持できる出力リストヘッドであり、そしてNCAはカレンダのサイズである。

【0025】各セルはメモリ上に1度だけ蓄積されることが必要であるが、2つのポインタ、維持できるセルレートポインタ、およびピークセルレートポインタ、を必要とする。この働きが論理的にどのように行われるかが、図5及び図6に描かれている。図5においては、セルa、b、dおよびeが、維持できるセルレートカレンダおよびピークセルレートカレンダの両方の上にスケジュールされるものとして示されている。セルbおよびaは、ピークセルレートカレンダ上の時間スロット待ち行列を形成する。それらのセルに関するピークセルレートカレンダは、互いにリンクし、そしてそれらの最小出発時間遅延を表すピークセルレートカレンダ時間スロットに取り付けられる。しかしながら、セルb、dおよびeは、維持できるセルレートカレンダ上に時間スロット待ち行列を形成する。それらのセルに関する維持できるセ

ルードカレンダーは、互いにリンクされ、そしてそれらの最大出発時間遅延を表す、維持できるセルードカレンダー時間スロットに取り付けられる。共通セルメモリを持つこれら2つのカレンダーの間の相互作用は、図6に示されている。図6を参照すると、セルは分離されたポイントを通して両方のカレンダーにリンクされるように示されている。この説明においては、ポイントおよびセルは互いに他に対して隣接しているが、しかしこれは論理的な表現であって、セルはメモリ内に蓄積され、そしてポイントがそれを識別するがしかし、ポイントはこれが識別するセルとはメモリの異なるエリア内に存在している。

【0026】ポイントおよびRTRPは、異なるカレンダー上のセルスロットをポイントするが、しかしこれは同じ時間を表し、ピークセルードカレンダー時間スロットは常に維持できるセルードカレンダー時間スロットよりも前に処理される。ピークセルード時間スロットの処理は既知のヌル値、たとえばゼロ、に変換されているそれらのピークセルードポイント値を持つようこれに取り付けられているすべてのセルを必要とする。維持できるセルードカレンダーから、ゼロにセットされたそれらのピークセルードポイント値を持つ処理されたすべてのセルが、出力待ち行列に転送される。維持できるセルードカレンダーがよりそれらが処理されたとき、ゼロにセットされたそれらのピークセルードポイント値を持たない維持できるセルードカレンダーに取り付けられたセルは、維持できるセルードカレンダーに残される。こうして、ピークセルードカレンダー時間スロットは、カレンダー上に残されるのが最も少ないセルとなるよう、前に説明されたように、常に最初に処理されねばならない。

【0027】それらのピークセルードポイントがゼロにセットされていない維持できるセルードカレンダー上に残されたセルは、それらのピークセルードポイントがいつゼロにセットされるかをモニターされ、維持できるセルードリードポイントRTRPはそれらに戻り、そしてそれらを出力待ち行列に転送する。この新しいポイントから次に前進調査が再び開始される。

【0028】前に説明されたように本発明は、「ルート」に拡張される。ルートはサービスの分離された品質を持つ、しかし同じピークセルードを持つ仮想チャネル接続のグループに関して定義される。それらの維持できるセルードをもとに許容された接続は、ピークセルードおよび、いくつかのクロス接続を通して次の大きなバッファされたスイッチへのパスを潜在的に、その両方を、規定するためにルートを使用する。カレンダースケジューリングアルゴリズムはこうして、それらの仮想チャネル接続に結びついたそれらの維持できるセルード値に、そしてそれらのルートに結びついたそれらのセルード値に従って、セルをスケジューリングすることが

可能である。

【0029】図7は、ルートを取り扱うために必要となる付加物とともに概念的にカレンダーを示した図である。

【0030】これは全く明快に、表を参照するようモニター変更だけによってルートを取り扱い、その結果、ルートに関するピークセルードは幾つかの仮想チャネル接続VCC間に分割され、そしてそのためピークセルードカレンダーによって連続的にスケジューリングされることになる。

10 【0031】こうして、幾つかのATMスイッチから構成されるネットワークにおいては、たとえば維持できるセルード、ピークセルードおよび最大バーストサイズのような、トラフィック特性を規定することによってバースト的なデータ接続がセットアップされることは明らかである。ATMスイッチを通過しているときには、トラフィック特性は含意されたパラメータの外側にあるよう変更され、そしてそのため削除されることを免れない。説明されたように、本発明はATMセルのVCC接続上にトラフィックシェーピングを実行するものであり、そのためそれらに割り当てられたパラメータ、すなわち維持できるセルード、ピークセルードおよび最大バーストサイズ、内でスイッチから出力される。

20 【0032】当業技術者にとっては、特許請求の範囲に指定されるような本発明の範囲から離れることなく種々の変更が可能であることを容易に理解できるであろう。

【0033】

【発明の効果】 こうして、ピークセルードを制限するための装置を提供することができる。

【図面の簡単な説明】

30 【図1】 どのようにしてATMセル2が入力線上で装置に入るかを示す図。

【図2】 用いられるカレンダーメカニズムを示す図。

【図3】 ATMスイッチの標準的なレイアウトを示す図。

【図4】 拡張された出力キューイングおよびスケジューリング装置のブロック図。

【図5】 ピークセルードおよび維持できるセルードカレンダーを示す図。

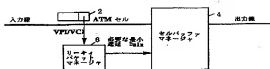
【図6】 ピークセルードと維持できるセルードカレンダーとの間の相互作用を示す図。

【図7】 「ルート」操作のために拡張されたピークセルードおよび維持できるセルードカレンダーを示す図。

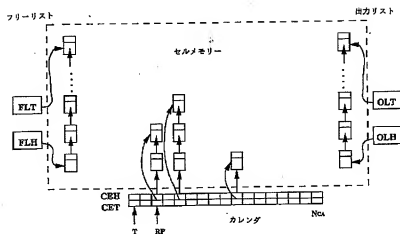
【符号の説明】

- 2 ATMセル
- 4 セルバッファマネージャ
- 6 リーキバケットマネージャ
- 8, 10 ラインカード
- 12, 14 マルチプレクサ
- 16, 18 多重化ユニット
- 20 交換ネットワーク

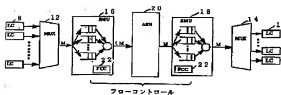
【図1】



【図2】



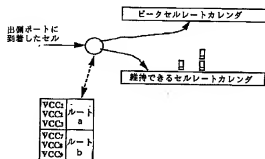
【図3】



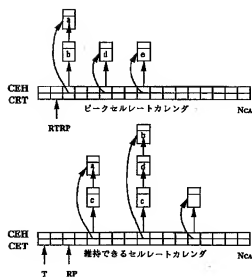
【図4】



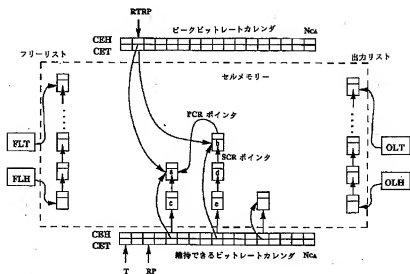
【図7】



【図5】



【図6】



フロントページの続き

(72)発明者 アンドリュウ ティモシー ヘイター
イギリス国 サウサンプトン ビターン
パーク コブデン ガーデンス 3

(72)発明者 サイモン ボール デイヴィス
イギリス国 ハンプシャー ロムジー ウ
エスターリング 17

(72)発明者 ボール パーシード マムタハン
イギリス国 サウサンプトン トットン
ハンターズ クレセント 10

(72)発明者 オイゲン ベルンハルト ヴァルマイアー
ドイツ連邦共和国 アイヒェナウ プサル
トシュトラッセ 14